

# 5

## PATENT APPLICATION

### IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Makoto NONAKA

Appln. No.: 09/823,752

Group Art Unit: Not yet assigned

Confirmation No.: 9106

Examiner: Not yet assigned

Filed: April 03, 2001

For: SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME

### SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

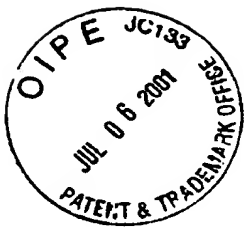
Respectfully submitted,

SUGHRUE, MION, ZINN,  
MACPEAK & SEAS, PLLC  
2100 Pennsylvania Avenue, N.W.  
Washington, D.C. 20037-3213  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

  
\_\_\_\_\_  
J. Frank Osha  
Registration No. 24,625

Enclosures: Japan 2000-100732

Date: July 6, 2001



09/823,752 - Q63936  
Makoto NONAKA  
Filed: April 3, 2001  
1 of 1

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

V 9

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月 3日

出 願 番 号

Application Number:

特願2000-100732

出 願 人

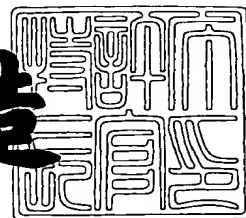
Applicant (s):

日本電気株式会社

2001年 2月16日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3008135

【書類名】 特許願

【整理番号】 74510204

【提出日】 平成12年 4月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04  
H01L 21/822

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 野中 亮

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100086645

【弁理士】

【氏名又は名称】 岩佐 義幸

【電話番号】 03-3861-9711

【手数料の表示】

【予納台帳番号】 000435

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001715

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

複数の配線層からなる多層配線構造を有し、表面中央部の内部領域の周囲にパッド領域が配置された半導体装置において、

前記パッド領域の下方に素子を形成したことを特徴とする半導体装置。

【請求項 2】

前記素子は、電源間容量、保護素子及び入出力素子の少なくとも一つからなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記電源間容量の下方に、前記保護素子及び前記入出力素子の少なくとも一つが形成されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記電源間容量は、前記パッド領域の下方に配置された金属配線を用いて形成されることを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記金属配線は、層間膜を挟んで積層された電源電圧配線と接地配線であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記金属配線は、いずれも櫛歯型に形成され同一平面上で互いの歯部が交互に入り込むように配置された電源電圧配線と接地配線であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】

前記パッド領域は、信号パッド、電源電圧パッド、接地パッド、或いは空きパッドのいずれかのパッドが設けられた領域であることを特徴とする請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】

前記パッド領域は、前記いずれかのパッドのほぼ直下であることを特徴とする

請求項 7 に記載の半導体装置。

【請求項 9】

複数の配線層からなる多層配線構造を有し、表面中央部の内部領域の周囲にパッド領域が配置される半導体装置の製造方法において、

前記内部領域を形成する工程により前記パッド領域の下方に素子を形成し、工程総数を増加させることなく前記素子を形成することを特徴とする半導体装置の製造方法。

【請求項 10】

前記素子は、電源間容量、保護素子及び入出力素子の少なくとも一つからなることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記電源間容量は、前記パッド領域の下方に配置された金属配線を用いて形成されることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に、多層配線構造を有し電源間容量（バイパスコンデンサ）が設けられる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来、複数の配線層からなる多層配線構造を有し、表面中央部の内部領域の周囲にパッド領域が配置された半導体装置である L S I ( l a r g e   s c a l e   i n t e g r a t e d   c i r c u i t ) チップが知られている。

【0003】

図 1 7 は、従来の L S I チップを概念的に示し、( a ) は平面説明図、( b ) は ( a ) の M 部を拡大した平面説明図である。図 1 7 に示すように、L S I チップ 1 は、表面中央部に位置する内部領域 2 と、内部領域 2 の周囲に位置する入出力 ( i n p u t / o u t p u t : I / O ) 領域 3 及びパッド領域 4 を有している

## 【 0 0 0 4 】

I/O領域3には、複数のI/O端子5が内部領域2を取り囲むように枠状に配置され、パッド領域4には、複数のパッド（パッドメタル）6がI/O領域3を取り囲むように枠状に配置されている。また、I/O領域3には、内部領域2を取り囲む枠状に電源電圧（VDD）配線7が設けられ、このVDD配線7を取り囲む枠状に接地（GND）配線8が設けられている（（a）参照）。

## 【 0 0 0 5 】

なお、パッド領域4のパッド6の下には、配線層が設けられていない。これは、組み立てにおけるボンディング時、パッドに物理的な圧力が加わって破損するおそれがあるため、パッド6の下にはなにも置かないようにしているからである。

## 【 0 0 0 6 】

各パッド6は、それぞれビア（via contact）9を介して、I/O端子5、VDD配線7及びGND配線8に接続されており、接続対象により、I/O端子5に接続された信号（Signal）パッド6a、VDD配線7に接続されたVDDパッド6b、GND配線8に接続されたGNDパッド6cとなる（（b）参照）。

## 【 0 0 0 7 】

これらVDD配線7及びGND配線8は、I/O領域3において積層された複数の金属配線層からなり、I/O領域に作り込まれたトランジスタへの電源供給を考慮して、I/OバッファのPチャネル領域、Nチャネル領域のほぼ真上にそれぞれ個別に形成されている。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

しかしながら、VDD配線7及びGND配線8は、電源ラインのノイズを抑制し電圧を安定化するための電源間容量（バイパスコンデンサ）を設けることを考慮した構造にはなっていない。このため、同時動作等のノイズに対する耐性を考慮し高速動作を保証するためには、膨大な数の電源パッド（VDDパッド6b）

及び接地パッド（GNDパッド6c）を設ける必要がある。

【0009】

これは、チップにおける微細化や動作速度の高速化が進み、従来の電源構造では、チップ内のノイズ耐性や高周波特性を許容範囲内に保証するのが困難になって来ているためである。微細化が進むことにより、従来構造によってチップ内電源のインピーダンスを下げるのは困難になることから、高速化に対応するためには電源パッド及び接地パッドの追加が避けられない。

【0010】

また、電源間容量は、基板上のチップの周辺に実装されるケースが多いが、基板上に実装される電源間容量は、基板実装密度の向上を図る場合の妨げとなってしまう。

【0011】

この発明の目的は、新たなスペースを割くことなく電源間容量を形成することで、パッドを増やすことなく電源線のノイズ耐性や高周波特性を向上させることができる半導体装置およびその製造方法を提供することである。

【0012】

【課題を解決するための手段】

上記目的を達成するため、この発明に係る半導体装置は、複数の配線層からなる多層配線構造を有し、表面中央部の内部領域の周囲にパッド領域が配置された半導体装置において、前記パッド領域の下方に素子を形成したことを特徴としている。

【0013】

上記構成を有することにより、複数の配線層からなる多層配線構造を有し、表面中央部の内部領域の周囲にパッド領域が配置された半導体装置において、パッド領域の下方に素子が形成される。これにより、新たなスペースを割くことなく、素子として例えば電源間容量を形成することができ、電源間容量を形成することで、パッドを増やすことなく電源線のノイズ耐性や高周波特性を向上させることができることができる。

【0014】

また、この発明に係る半導体装置の製造方法により、上記半導体装置を製造することができる。

【 0 0 1 5 】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【 0 0 1 6 】

図 1 は、この発明の第 1 の実施の形態に係る半導体装置を概念的に示しており、(a) は平面説明図、(b) は (a) の A 部を拡大した平面説明図である。図 2 は、図 1 (b) の一部を断面で示し、(a) は B - B 線に沿う断面図、(b) は C - C 線に沿う断面図である。

【 0 0 1 7 】

図 1 に示すように、半導体装置である L S I チップ 1 0 は、複数の配線層からなる多層配線構造を有し、表面中央部に位置する内部領域 1 1 と、内部領域 1 1 の周囲に位置する I / O 領域 1 2 及びパッド領域 1 3 を有している。

【 0 0 1 8 】

I / O 領域 1 2 には、複数の I / O 端子 1 4 が内部領域 1 1 を取り囲むように枠状に配置され、パッド領域 1 3 には、複数のパッド (パッドメタル) 1 5 が I / O 領域 1 2 を取り囲むように枠状に配置されている。

【 0 0 1 9 】

また、I / O 領域 1 2 には、内部領域 1 1 を取り囲む枠状に V D D 配線 1 6 が設けられ、この V D D 配線 1 6 を取り囲む枠状に G N D 配線 1 7 が設けられている ((a) 参照)。更に、パッド領域 1 3 にも、内部領域 1 1 を取り囲む枠状に V D D 配線 1 6 が設けられ、この V D D 配線 1 6 を取り囲む枠状に G N D 配線 1 7 が設けられている ((a) 参照)。

【 0 0 2 0 】

各パッド 1 5 は、それぞれビア (v i a c o n t a c t) 1 8 を介して、I / O 端子 1 4、V D D 配線 1 6 及び G N D 配線 1 7 に接続されており、接続対象により、I / O 端子 1 4 に接続された信号 (S i g n a l) パッド 1 5 a、V D D 配線 1 6 に接続された V D D パッド 1 5 b、G N D 配線 1 7 に接続された G N



Dパッド15cとなる（（b）参照）。

【0021】

図2に示すように、VDD配線16とGND配線17は、I/O領域12及びパッド領域13において積層された複数の金属配線層により形成されている。これらVDD配線16とGND配線17は、交互に、且つ、層間絶縁膜（層間膜）を介し両層を隔てた隔層にして積層され、各VDD配線16同士及び各GND配線17同士が、ビア18によりそれぞれ接続されている（（a），（b）参照）。

【0022】

パッド領域13に配置されたVDD配線16とGND配線17は、それぞれI/O領域12の周回電源配線であるVDD配線16とGND配線17に接続される（（b）参照）。

【0023】

即ち、VDD配線16とGND配線17は、I/O領域12に加えてパッド領域13にも設けられており、チップ周辺に配置されたパッド15の下に使われていない金属配線層を使用して、パッド領域13にも、電源間容量（バイパスコンデンサ）19を作り込んでいる（図1及び図2参照）。この電源間容量19は、上下に重なって配置されたVDD配線16とGND配線17の、重なり合った面容量成分を利用して形成される。

【0024】

図3は、図1に示すLSIチップの製造方法を説明する内部領域の断面説明図であり、図4は、図1に示すLSIチップの製造方法を説明するパッド下方の断面説明図である。

【0025】

このLSIチップ10を製造する場合、図3に示すように、パッド領域13に電源間容量19を作り込むため、パッド15下方の基板（Sub）20上に、層間絶縁膜を介して例えば7層の金属配線層M0～M6を形成する。

【0026】

即ち、このパッド領域13には、パッド15を加えて合計8層の金属配線層M

0～M7が形成されるが、この配線総数は、図4に示すように、内部領域11に形成される配線部21を構成する、基板20上のトランジスタ(Tr)部22上部に配置される金属配線層M0～M7の層数と、同数となる。

【0027】

トランジスタ部22は、N-ウェル22aに形成されたPチャネルトランジスタ(PchTr)と、P-ウェル22bに形成されたNチャネルトランジスタ(NchTr)を有している。

【0028】

従って、LSIチップ10の製造時、内部領域11とパッド領域13の金属配線層M0～M7(図3及び図4参照)を同時に形成することができ、パッド領域13の金属配線層M0～M7のみを、単独で形成する必要がない。この結果、パッド領域13に電源間容量19を作り込むために製造工程数が増加することがないので、パッド領域13に電源間容量19を作り込んだとしても、デバイス等の内部回路を作る場合に必要な製造工程の総数以内に納めることができる。

【0029】

このように、この発明に係るLSIチップ10は、今までデッドスペースとなっていたパッド領域13を利用して電源間容量を形成したので、チップ上に電源間容量を形成するための新たなスペースを割くことなく、電源線のノイズ耐性や高周波特性を向上させることができる。

【0030】

また、上記構造からなる電源間容量は、電源線としての機能も有しているため電源補強の効果もあり、エレクトロマイグレーションやIRドロップに対する耐性も向上させることができる。

【0031】

従って、従来のように電源パッドや接地パッドを増やす必要がないので、追加するパッド数を減らすことができる。

【0032】

一般的に、電源間容量は、基板上のチップの周辺に実装されるが、少なくともその一部をチップ内に作り込むことにより、基板実装密度の向上が期待できる。

これは、パッド領域 1 3 のデッドスペースを利用して、電源線そのものを形成することにより、電源間容量を作り込んでいるためである。

## 【 0 0 3 3 】

図 5 は、この発明の第 2 の実施の形態に係る半導体装置を概念的に示す平面説明図である。図 6 は、図 5 の一部を断面で示し、( a ) は D - D 線に沿う断面図、( b ) は E - E 線に沿う断面図、( c ) は F - F 線に沿う断面図である。

## 【 0 0 3 4 】

図 5 及び図 6 に示すように、L S I チップ 2 5 は、パッド領域 1 3 に配置された V D D 配線 1 6 と G N D 配線 1 7 に代えて、同一平面上で互いの歯部が交互に入り込んだ櫛歯型の V D D 配線 2 6 と G N D 配線 2 7 を有している。その他の構成及び作用は、L S I チップ 1 0 と同様である。

## 【 0 0 3 5 】

I / O 領域 1 2 及びパッド領域 1 3 において交互に且つ隔層にして積層された複数の金属配線層である、V D D 配線 2 6 と G N D 配線 2 7 は、共に櫛歯状に形成され、同一平面上で互いの歯部を交互に入り込ませた状態（図 5 参照）に配置されている（図 6 ( a ) , ( b ) , ( c ) 参照）。

## 【 0 0 3 6 】

このパッド領域 1 3 に配置された V D D 配線 2 6 は、V D D 配線接続部 2 8 を介して、I / O 領域 1 2 の周回電源配線である V D D 配線 2 6 に接続され（図 6 ( b ) 参照）、同様に、G N D 配線 2 7 は、G N D 配線連結部 2 9 を介して、I / O 領域 1 2 の周回電源配線である G N D 配線 2 7 に接続される（図 6 ( c ) 参照）。

## 【 0 0 3 7 】

このように、V D D 配線 2 6 と G N D 配線 2 7 は、I / O 領域 1 2 に加えてパッド領域 1 3 にも設けられており、チップ周辺に配置されたパッド 1 5 の下の使われていない金属配線層を使用して、パッド領域 1 3 にも電源間容量 1 9 を作り込むことができる。

## 【 0 0 3 8 】

この実施の形態によれば、櫛歯状に並んだ V D D 配線 2 6 と G N D 配線 2 7 と

の間の横方向（側面）に形成された容量成分も利用できるもので、更に容量値を大きくできる。

## 【 0 0 3 9 】

図 7 は、この発明の第 3 の実施の形態に係る半導体装置を概念的に示し、（a）は平面説明図、（b）は（a）の部分回路図である。図 8 は、図 7（a）の G-G 線に沿う断面図である。図 9 は、図 8 の一部を示し、（a）は図 8 の H 部平面説明図、（b）は図 8 の I 部平面説明図である。

## 【 0 0 4 0 】

図 7 に示すように、L S I チップ 3 0 には、パッド領域 1 3 の信号パッド 1 5 a の下に、電源間容量 1 9（図 8 参照）と共に、例えばダイオード等の保護素子 3 1 が形成されている。その他の構成及び作用は、L S I チップ 1 0 と同様である。

## 【 0 0 4 1 】

図 8 に示すように、信号パッド 1 5 a の下方には、交互に且つ隔層にして積層された V D D 配線 1 6 と G N D 配線 1 7 により、電源間容量 1 9 が形成され、この電源間容量 1 9 の下方には、素子構成部 3 2 の上に隔層にして積層された、信号配線 3 3 と、V D D 配線 1 6、G N D 配線 1 7 及び信号配線 3 3 とを有する、保護素子 3 1 が作り込まれている。

## 【 0 0 4 2 】

基板 2 0 上に形成された、素子構成部 3 2 の N-ウェル 3 2 a 及び P-ウェル 3 2 b と、層間絶縁膜を介してその上層に配置された V D D 配線 1 6、G N D 配線 1 7 及び信号配線 3 3 とは、それぞれ対応する部分がビア 1 8 を介して接続されている。

## 【 0 0 4 3 】

即ち、図 9（a），（b）に示すように、N-ウェル 3 2 a の  $N^+$  領域が V D D 配線 1 6 を介して V D D に、 $P^+$  領域が信号配線 3 3 を介して信号パッド 1 5 a に、P-ウェル 3 2 b の  $N^+$  領域が信号配線 3 3 を介して信号パッド 1 5 a に、 $P^+$  領域が G N D 配線 1 7 を介して V D D に、それぞれ接続されている。

## 【 0 0 4 4 】

このように、パッド領域 1 3 のパッド 1 5 の下には、電源間容量 1 9 に加えて、保護素子 3 1 も作り込むことができる。

## 【 0 0 4 5 】

図 1 0 は、この発明の第 4 の実施の形態に係る半導体装置を概念的に示す平面説明図であり、図 1 1 は、図 1 0 の J - J 線に沿う断面図である。

## 【 0 0 4 6 】

図 1 0 及び図 1 1 に示すように、L S I チップ 3 5 には、パッド領域 1 3 の信号パッド 1 5 a の下に、電源間容量 1 9 と共に、I / O 領域 1 2 を拡大して形成している（図 1 0 参照）。その他の構成及び作用は、L S I チップ 1 0 と同様である。

## 【 0 0 4 7 】

信号パッド 1 5 a の下方には、交互に且つ隔層にして積層された V D D 配線 1 6 と G N D 配線 1 7 により、電源間容量 1 9 が形成され、この電源間容量 1 9 の下方には、素子構成部 3 6 の上に隔層にして積層された、信号配線 3 3 と、V D D 配線 1 6、G N D 配線 1 7 及び信号配線 3 3 とを有する、入出力素子からなる I / O 領域 1 2 が形成されている（図 1 1 参照）。

## 【 0 0 4 8 】

素子構成部 3 6 は、N - ウェル 2 2 a の P <sup>+</sup> 領域が、V D D 配線 1 6 を介して V D D に、また信号配線 3 3 を介して信号パッド 1 5 a に、P - ウェル 2 2 b の N <sup>+</sup> 領域が、信号配線 3 3 を介して信号パッド 1 5 a に、また G N D 配線 1 7 を介して V D D に、それぞれ接続されている。

## 【 0 0 4 9 】

このように、パッド領域 1 3 のパッド 1 5 の下には、電源間容量 1 9 に加えて I / O 領域 1 2 も作り込むことができ、信号パッド 1 5 a の下まで I / O 領域 1 2 を拡大することができる。

## 【 0 0 5 0 】

図 1 2 は、この発明の第 5 の実施の形態に係る半導体装置を概念的に示す平面説明図である。図 1 2 に示すように、L S I チップ 4 0 には、パッド領域 1 3 の信号パッド 1 5 a の下に、電源間容量 1 9 と共に、例えばダイオード等の保護素

子 3 1 を設け、更に I / O 領域 1 2 を拡大して形成している。この L S I チップ 4 0 は、第 3 の実施の形態（図 7 ～ 図 9 参照）と第 4 の実施の形態（図 1 0 及び図 1 1 参照）を組み合わせたものであり、その他の構成及び作用は、L S I チップ 1 0 と同様である。

## 【 0 0 5 1 】

図 1 3 は、この発明の第 6 の実施の形態に係る半導体装置を概念的に示す平面説明図であり、図 1 4 は、図 1 3 の K - K 線に沿う断面図である。

## 【 0 0 5 2 】

図 1 3 及び図 1 4 に示すように、L S I チップ 4 5 には、パッド領域 1 3 の信号パッド 1 5 a の下に、電源間容量 1 9 を設けず、例えばダイオード等の保護素子 3 1 のみを単体で形成している。その他の構成及び作用は、L S I チップ 1 0 と同様である。

## 【 0 0 5 3 】

信号パッド 1 5 a の下方には、複数の信号配線 3 3 が層間絶縁膜を介し隔層にして積層されており、各信号配線 3 3 は、ビア 1 8 により接続されている（図 1 4 参照）。保護素子 3 1 の構成は、信号パッド 1 5 a に、信号配線 3 3 に接続するビア 1 8 を設けた（図 1 3 参照）他は、第 3 の実施の形態の場合（図 8 参照）と同様である。

## 【 0 0 5 4 】

図 1 5 は、この発明の第 7 の実施の形態に係る半導体装置を概念的に示す平面説明図であり、図 1 6 は、図 1 5 の L - L 線に沿う断面図である。

## 【 0 0 5 5 】

図 1 5 及び図 1 6 に示すように、L S I チップ 5 0 には、パッド領域 1 3 の信号パッド 1 5 a の下に、電源間容量 1 9 を設けず、I / O 領域 1 2 のみを拡大して形成している。その他の構成及び作用は、L S I チップ 1 0 と同様である。

## 【 0 0 5 6 】

信号パッド 1 5 a の下方には、複数の信号配線 3 3 が層間絶縁膜を介し隔層にして積層されており、各信号配線 3 3 はビア 1 8 により接続されている（図 1 6 参照）。I / O 領域 1 2 の構成は、信号パッド 1 5 a に、信号配線 3 3 に接続す

るビア 1 8 を設けた（図 1 5 参照）他は、第 4 の実施の形態の場合（図 1 0 及び図 1 1 参照）と同様である。

【 0 0 5 7 】

このように、この発明によれば、例えばパッド 1 5 の直下等のパッド領域 1 3 の下の空いている領域を使って、電源間容量 1 9 や保護素子 3 1 や I / O 領域 1 2 を形成する入出力素子等の各種素子を作り込むことができる。

【 0 0 5 8 】

これにより、従来、破壊等のおそれから使用できなかったパッド下方の下地部分を、有効に使うことが可能となった。それも、製造工程を増加させずに作り込むことができる。この場合、圧着方法により接続組立てを行うパッケージ方法、例えば、フリップチップ法等を用いることが有効である。

【 0 0 5 9 】

なお、上記実施の形態では、パッド領域 1 3 を、信号パッド 1 5 a、VDD パッド 1 5 b 或いは GND パッド 1 5 c のいずれかのパッドが設けられた領域としたが、これらに加えて、接続対象のない空きパッドが設けられた領域でもよい。

【 0 0 6 0 】

更に、上記実施の形態では、電源間容量を一種類としたが、電源の種類毎に複数種類設けたり、電源線のノイズの大きい I / O 用電源にのみ設けるようにしても良い。また、電源間容量のレイアウトは、閉ループ状とするだけではなく、一部が切断されたレイアウトとしても良い。

【 0 0 6 1 】

【発明の効果】

以上説明したように、この発明によれば、複数の配線層からなる多層配線構造を有し、表面中央部の内部領域の周囲にパッド領域が配置された半導体装置において、パッド領域の下方に素子が形成されるので、新たなスペースを割くことなく、素子として例えば電源間容量を形成することができ、電源間容量を形成することで、パッドを増やすことなく電源線のノイズ耐性や高周波特性を向上させることができる。

【 0 0 6 2 】

また、この発明に係る半導体装置の製造方法により、上記半導体装置を製造することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態に係る半導体装置を概念的に示しており、(a) は平面説明図、(b) は (a) の A 部を拡大した平面説明図である。

【図 2】

図 1 (b) の一部を断面で示し、(a) は B - B 線に沿う断面図、(b) は C - C 線に沿う断面図である。

【図 3】

図 1 に示す L S I チップの製造方法を説明する内部領域の断面説明図である。

【図 4】

図 1 に示す L S I チップの製造方法を説明するパッド下方の断面説明図である。

【図 5】

この発明の第 2 の実施の形態に係る半導体装置を概念的に示す平面説明図である。

【図 6】

図 5 の一部を断面で示し、(a) は D - D 線に沿う断面図、(b) は E - E 線に沿う断面図、(c) は F - F 線に沿う断面図である。

【図 7】

この発明の第 3 の実施の形態に係る半導体装置を概念的に示し、(a) は平面説明図、(b) は (a) の部分回路図である。

【図 8】

図 7 (a) の G - G 線に沿う断面図である。

【図 9】

図 8 の一部を示し、(a) は図 8 の H 部平面説明図、(b) は図 8 の I 部平面説明図である。

【図 1 0】



この発明の第 4 の実施の形態に係る半導体装置を概念的に示す平面説明図である。

【図 1 1】

図 1 0 の J - J 線に沿う断面図である。

【図 1 2】

この発明の第 5 の実施の形態に係る半導体装置を概念的に示す平面説明図である。

【図 1 3】

この発明の第 6 の実施の形態に係る半導体装置を概念的に示す平面説明図である。

【図 1 4】

図 1 3 の K - K 線に沿う断面図である。

【図 1 5】

この発明の第 7 の実施の形態に係る半導体装置を概念的に示す平面説明図である。

【図 1 6】

図 1 5 の L - L 線に沿う断面図である。

【図 1 7】

従来の L S I チップを概念的に示し、( a ) は平面説明図、( b ) は ( a ) の M 部を拡大した平面説明図である。

【符号の説明】

1 0, 2 5, 3 0, 3 5, 4 0, 4 5, 5 0    L S I チップ

1 1    内部領域

1 2    I / O 領域

1 3    パッド領域

1 4    I / O 端子

1 5    パッド

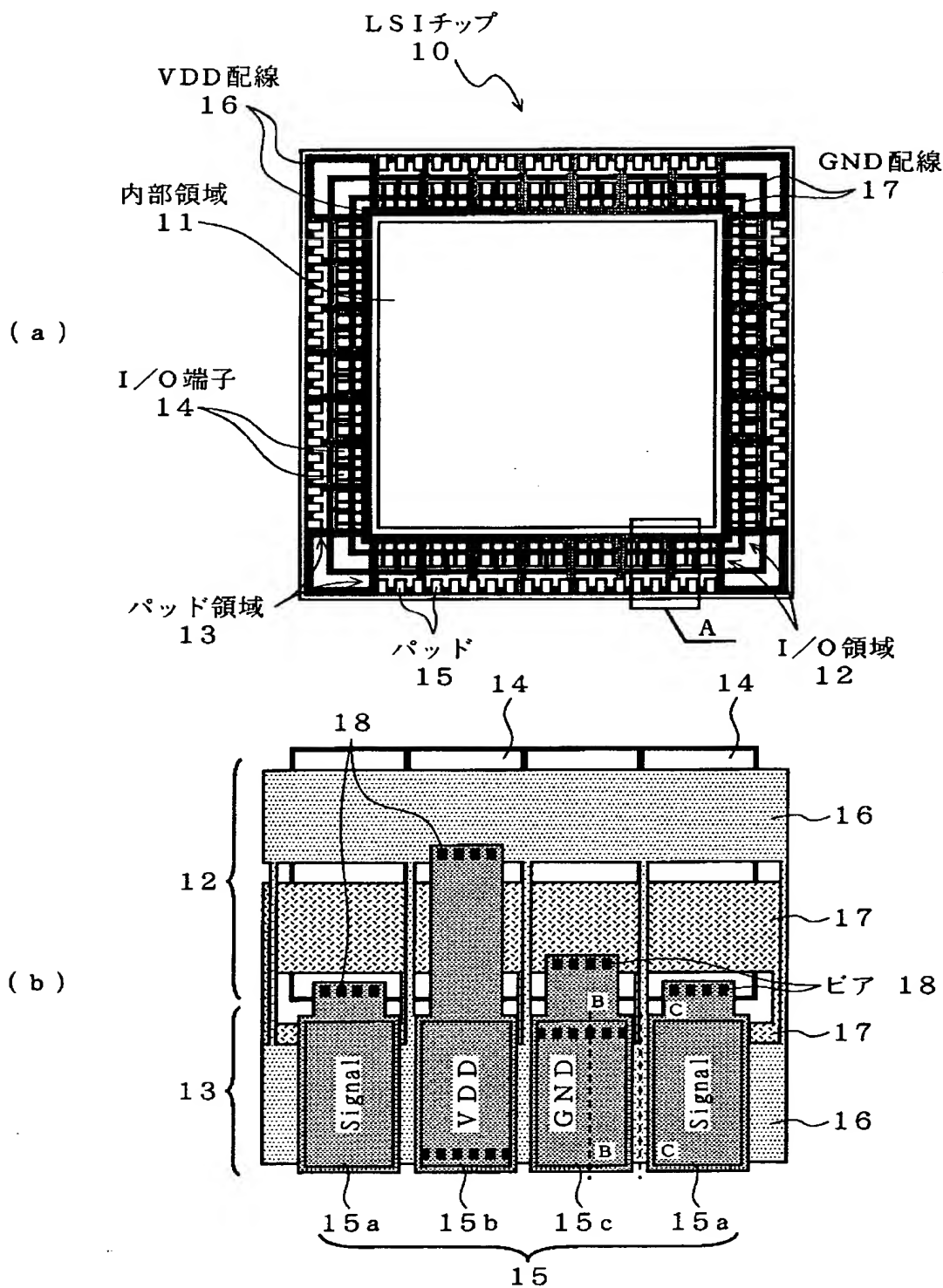
1 5 a    信号パッド

1 5 b    V D D パッド

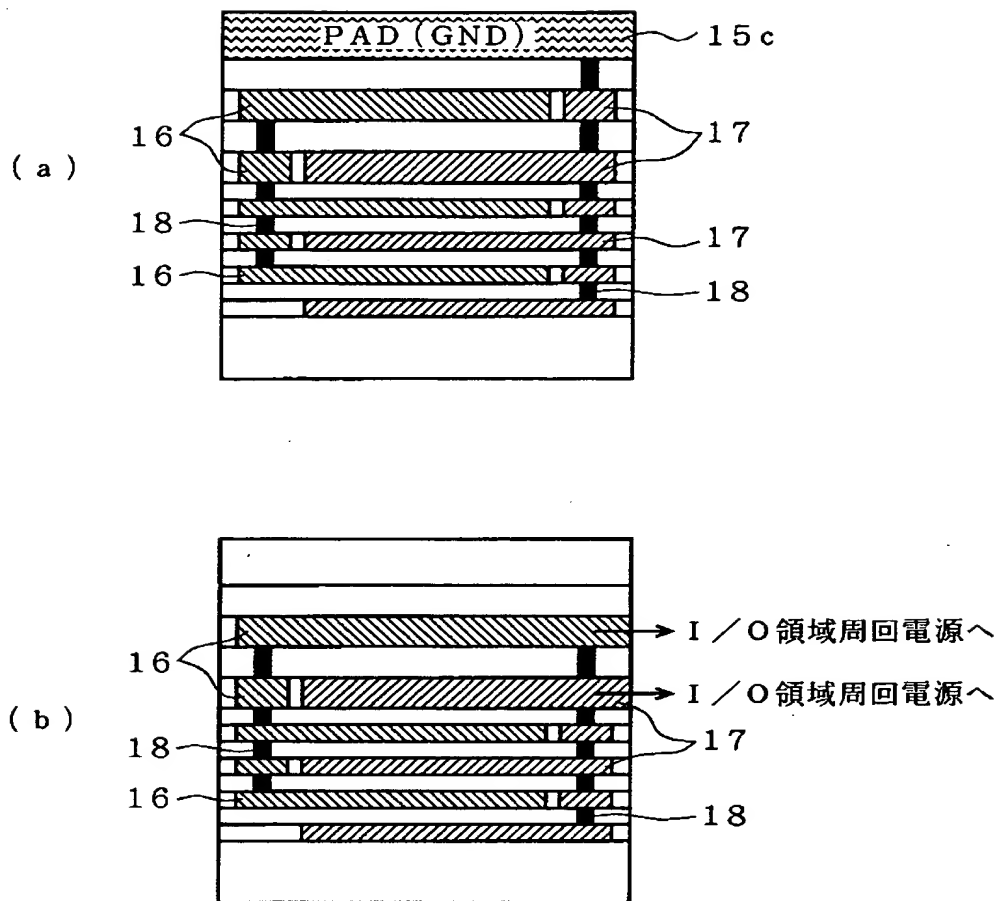
1 5 c GNDパッド  
1 6, 2 6 VDD配線  
1 7, 2 7 GND配線  
1 8 ビア  
1 9 電源間容量  
2 0 基板  
2 1 配線部  
2 2 トランジスタ部  
2 2 a, 3 2 a N-ウェル  
2 2 b, 3 2 b P-ウェル  
2 8 VDD配線接続部  
2 9 GND配線連結部  
3 1 保護素子  
3 2, 3 6 素子構成部  
3 3 信号配線  
M 0 ~ M 7 金属配線層

【書類名】 図面

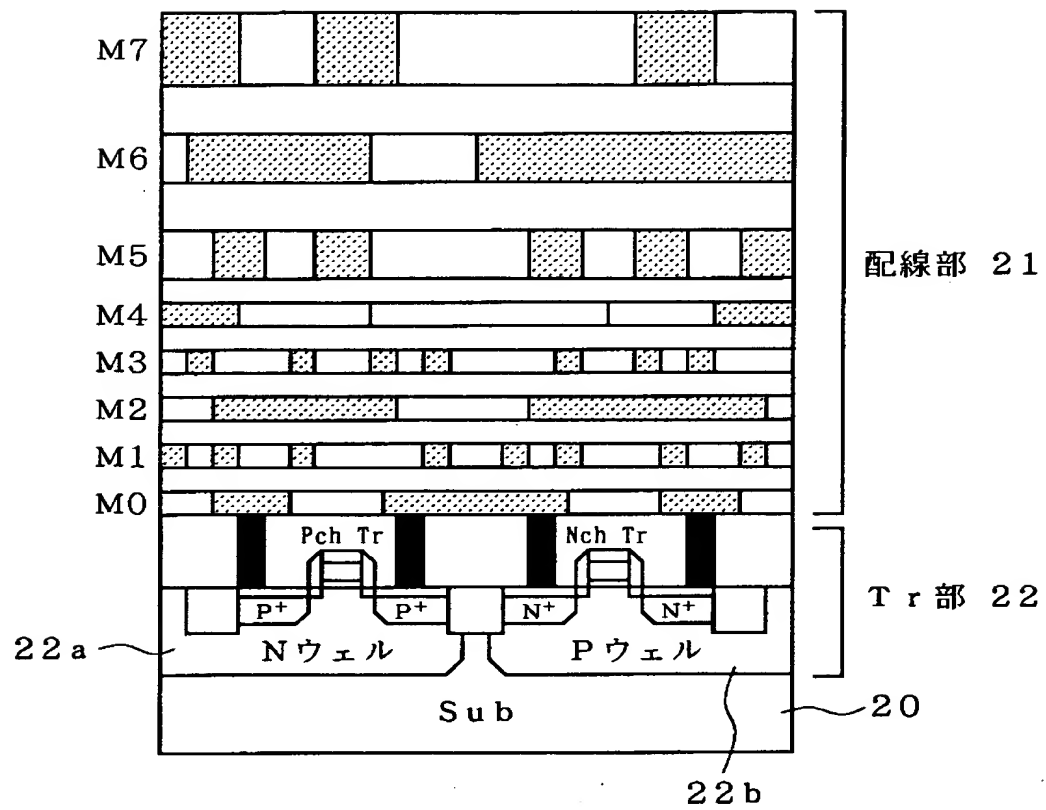
【図1】



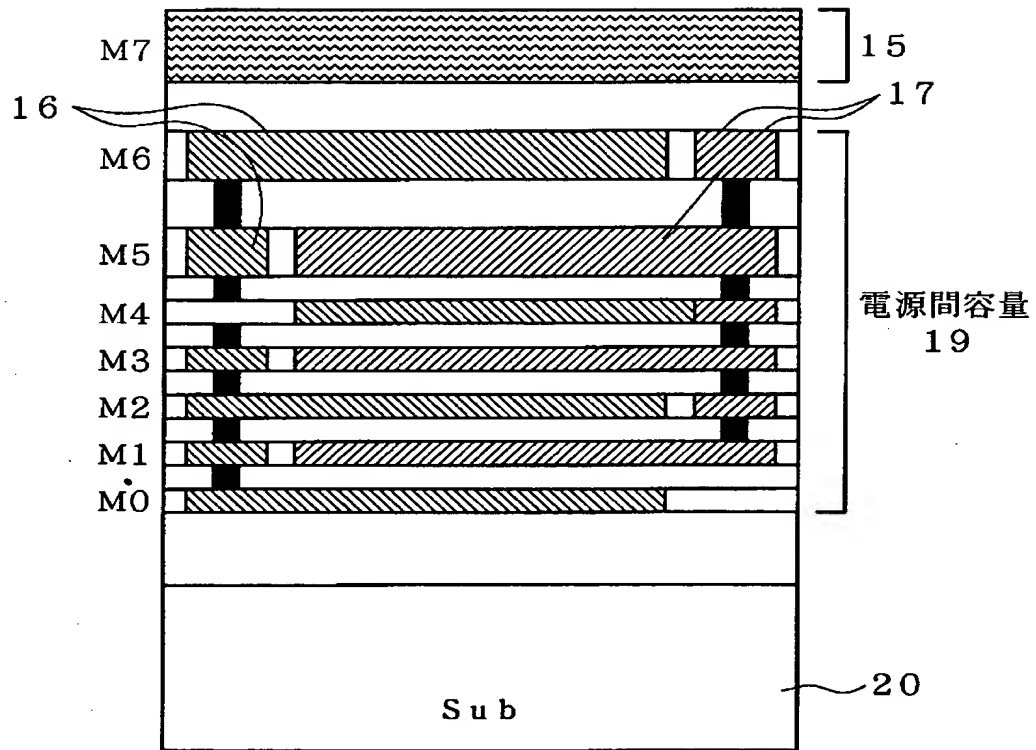
【図 2】



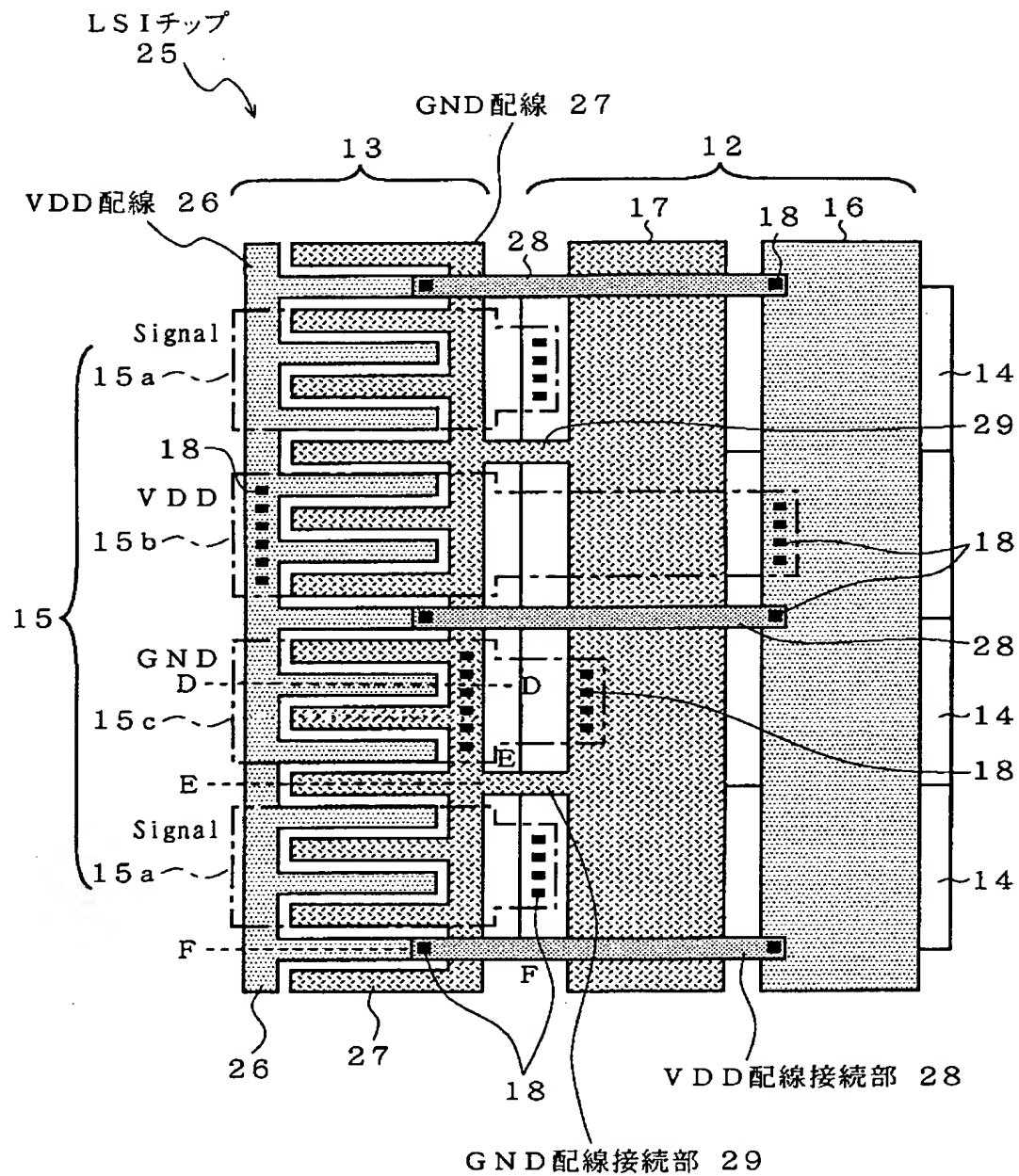
【図 3】



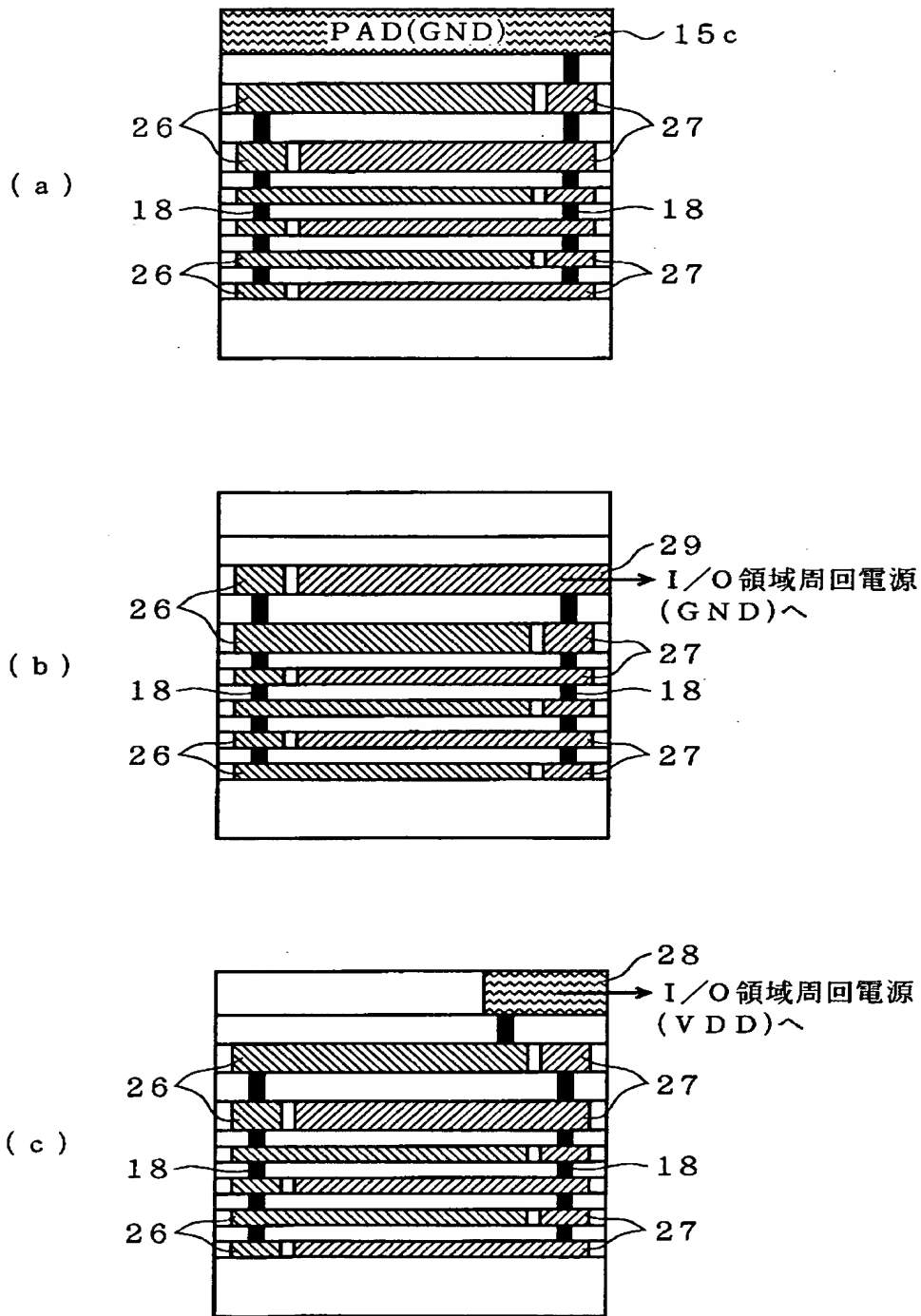
【図 4】



【図5】

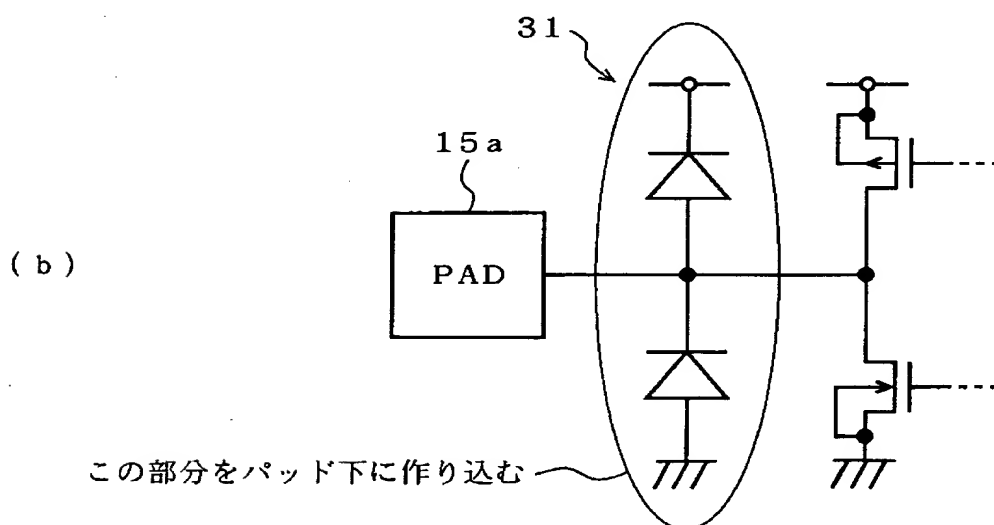
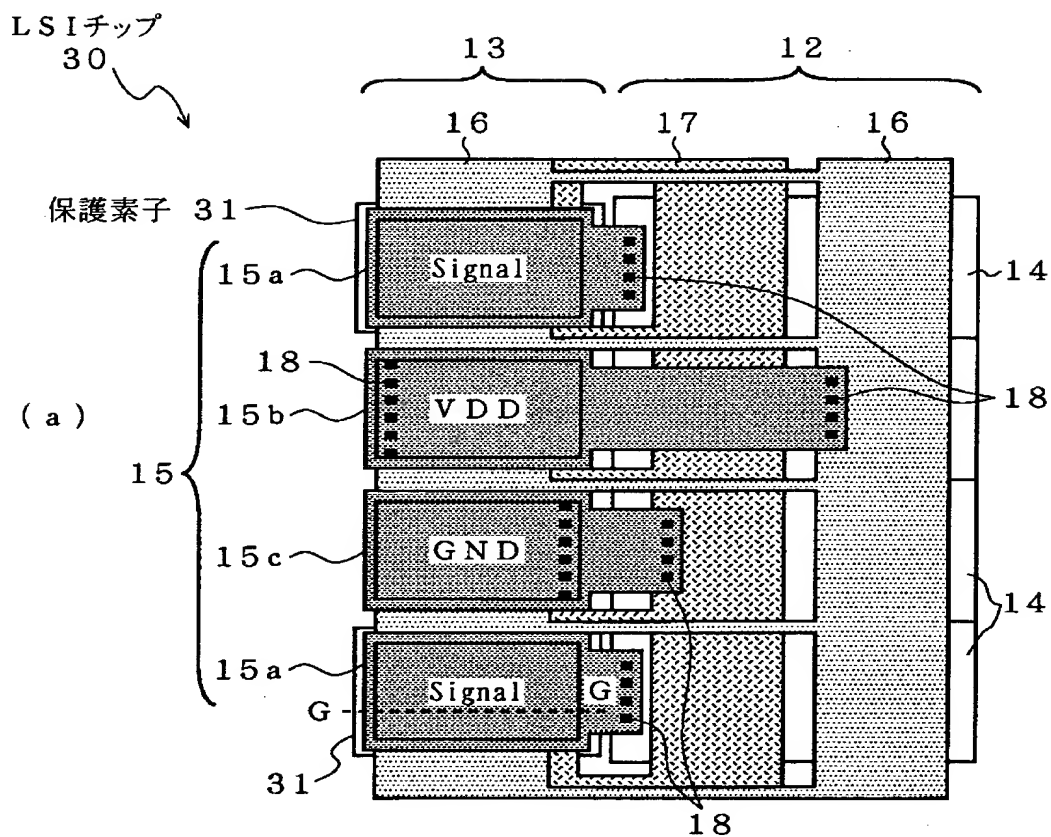


【図 6】

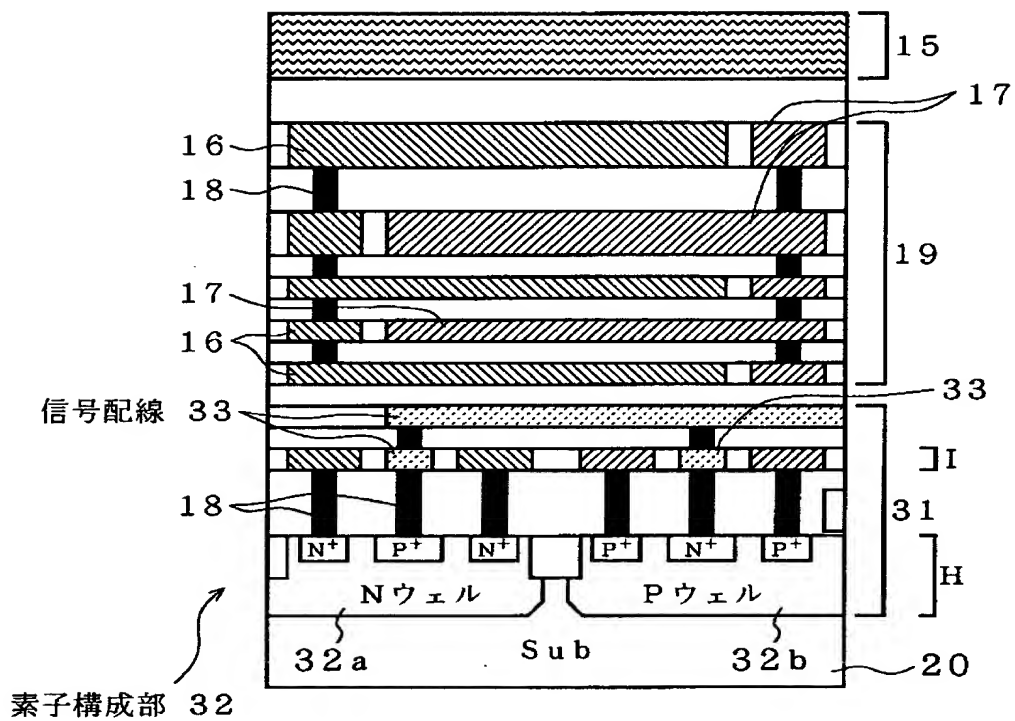




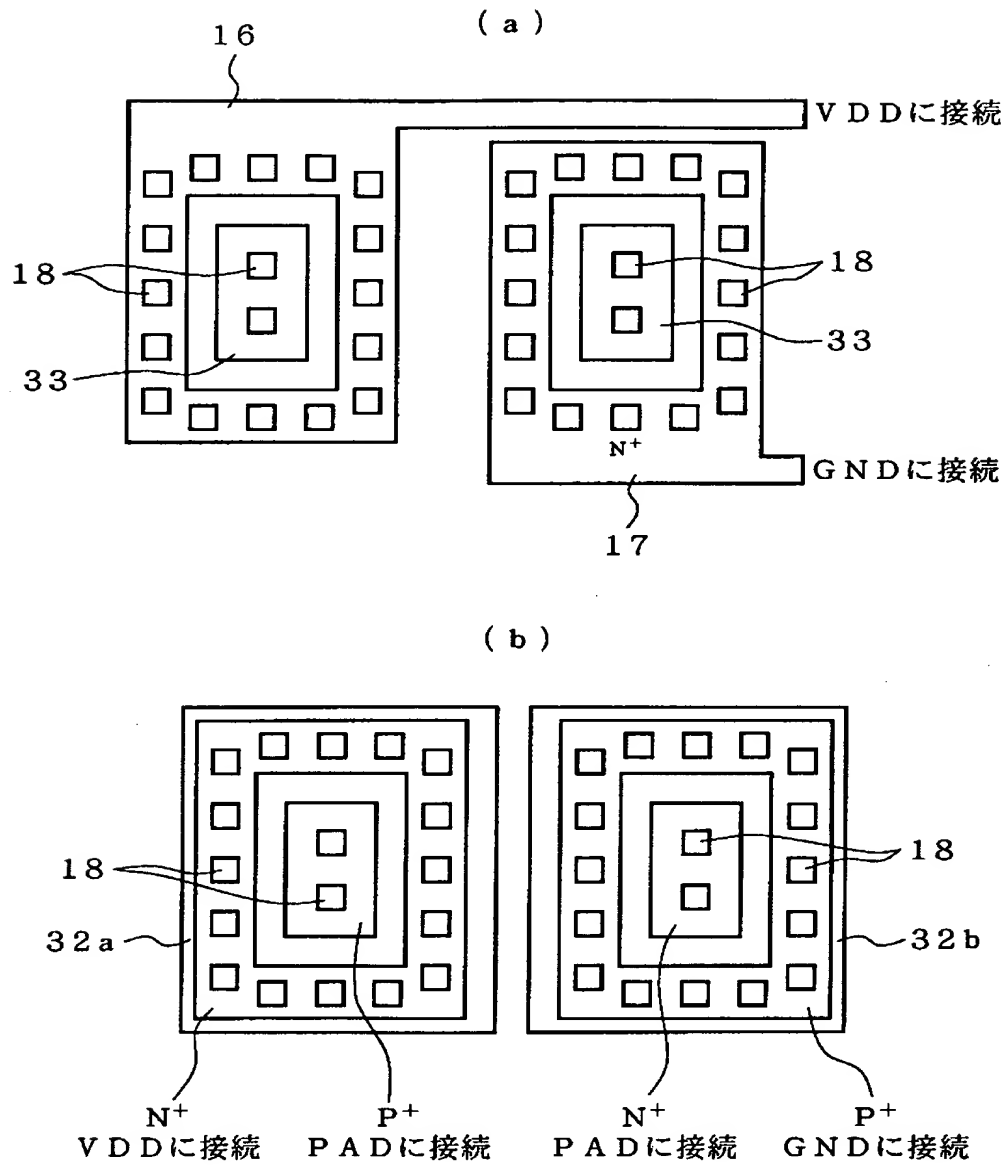
【图 7】



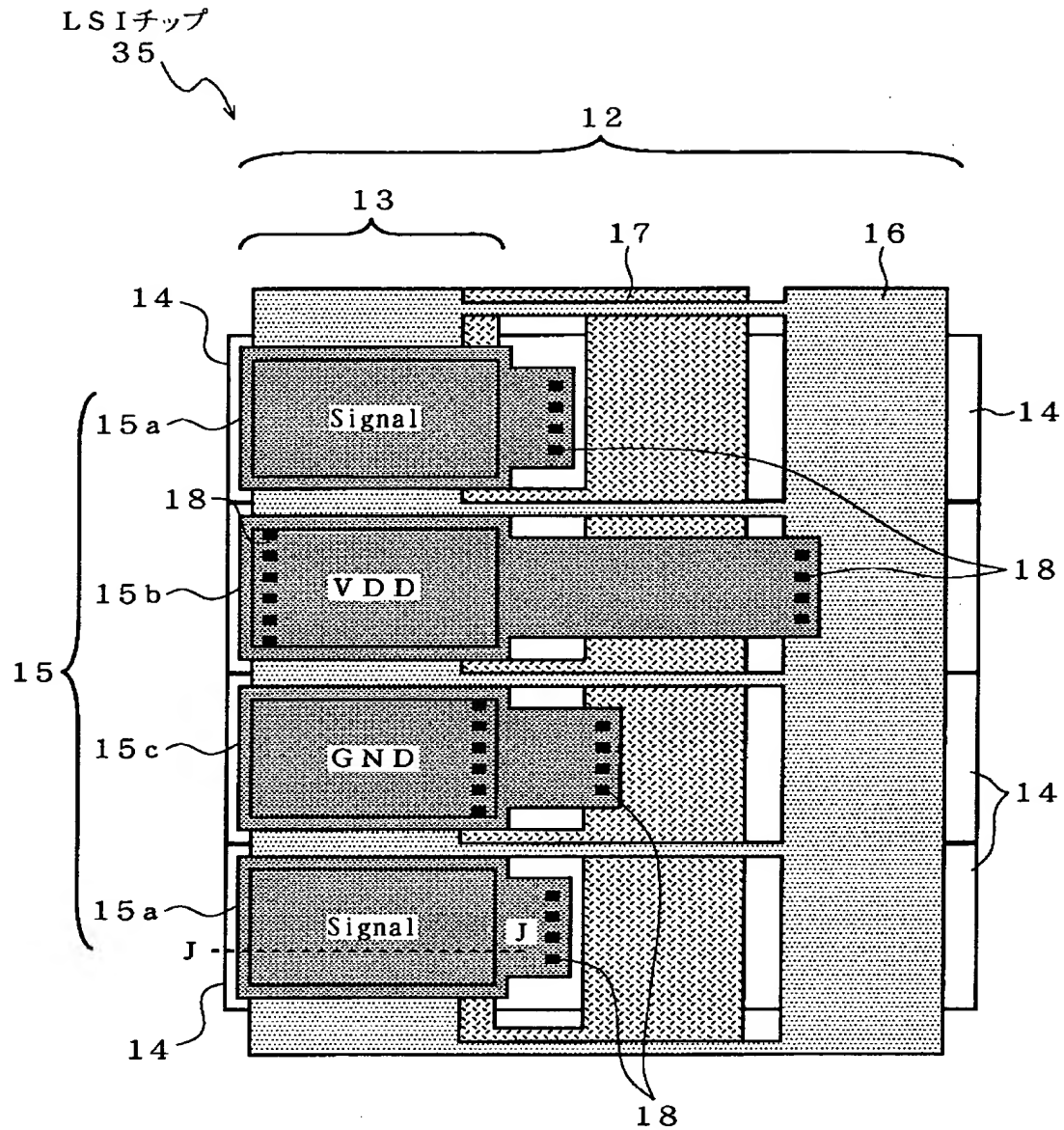
【図 8】



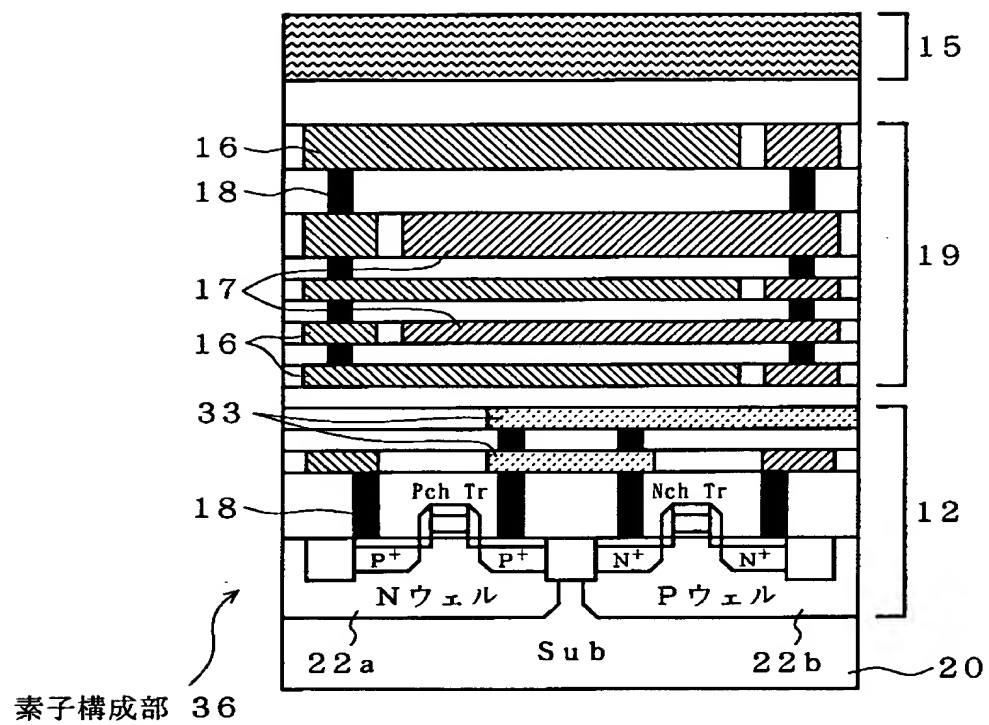
【図9】



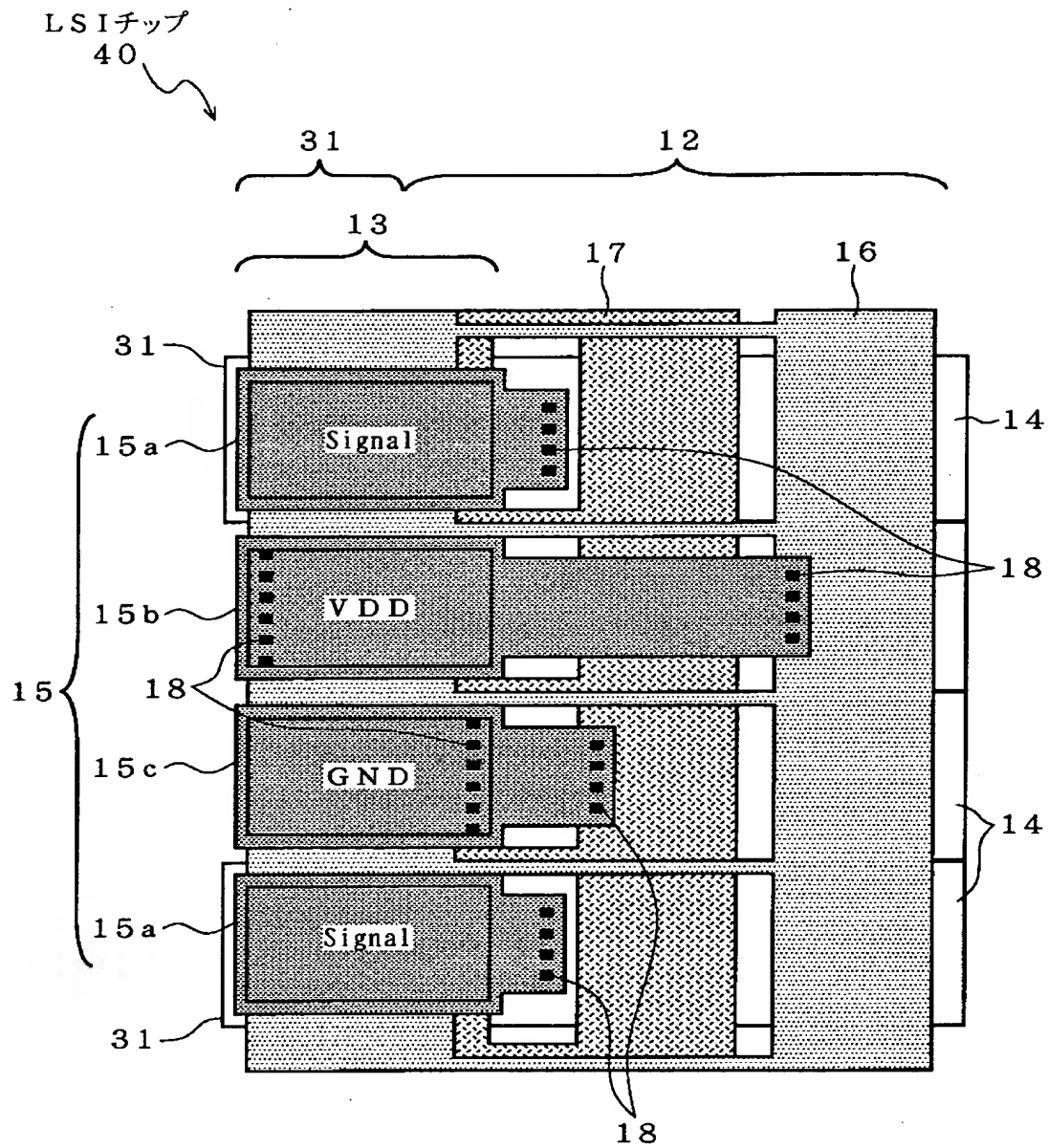
【図10】



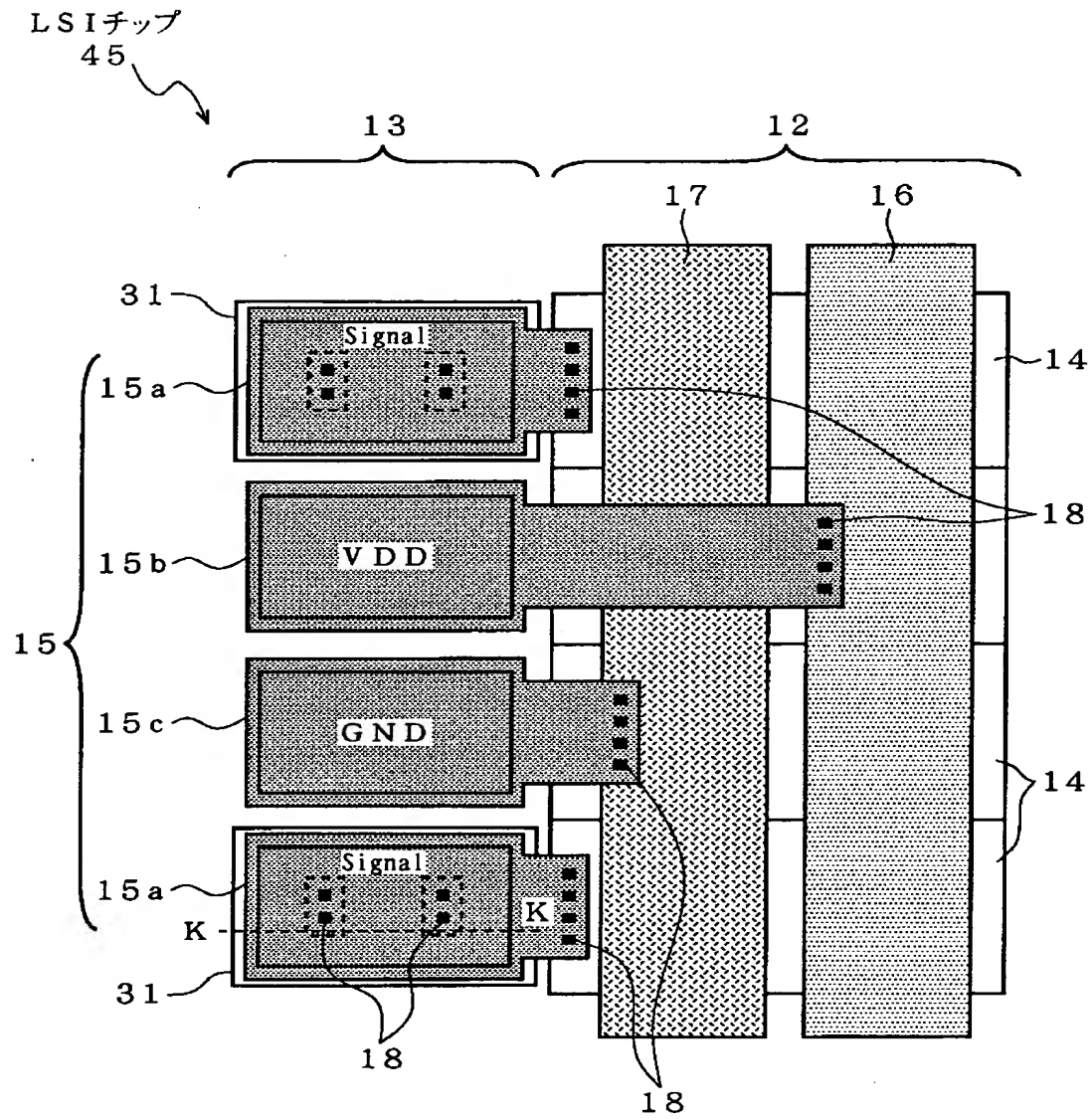
【図 11】



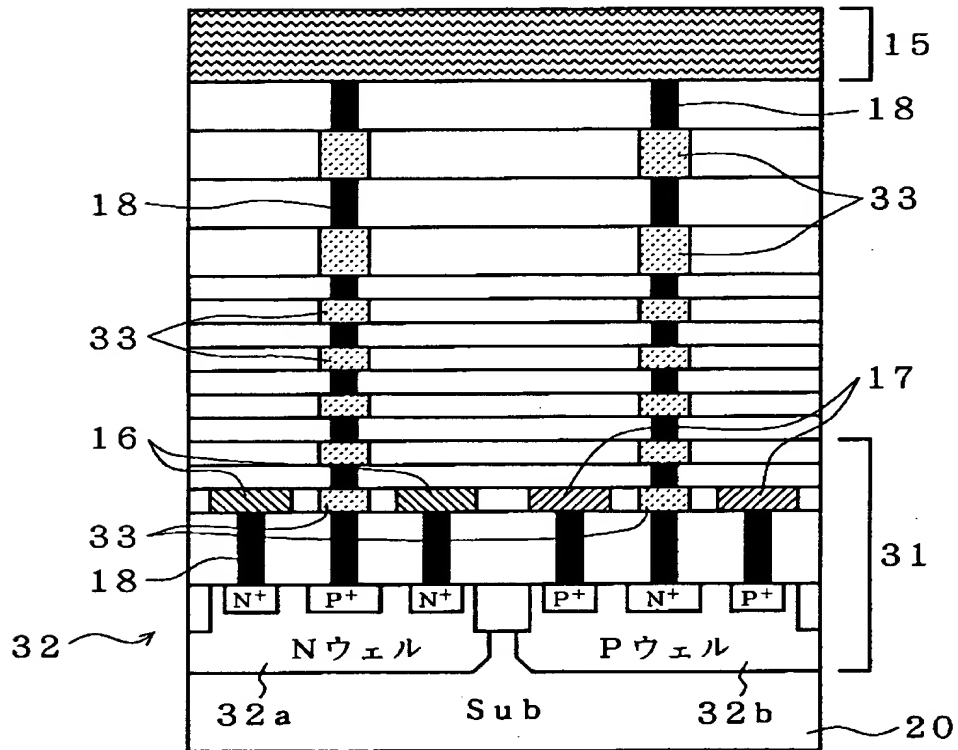
【図12】



【図13】

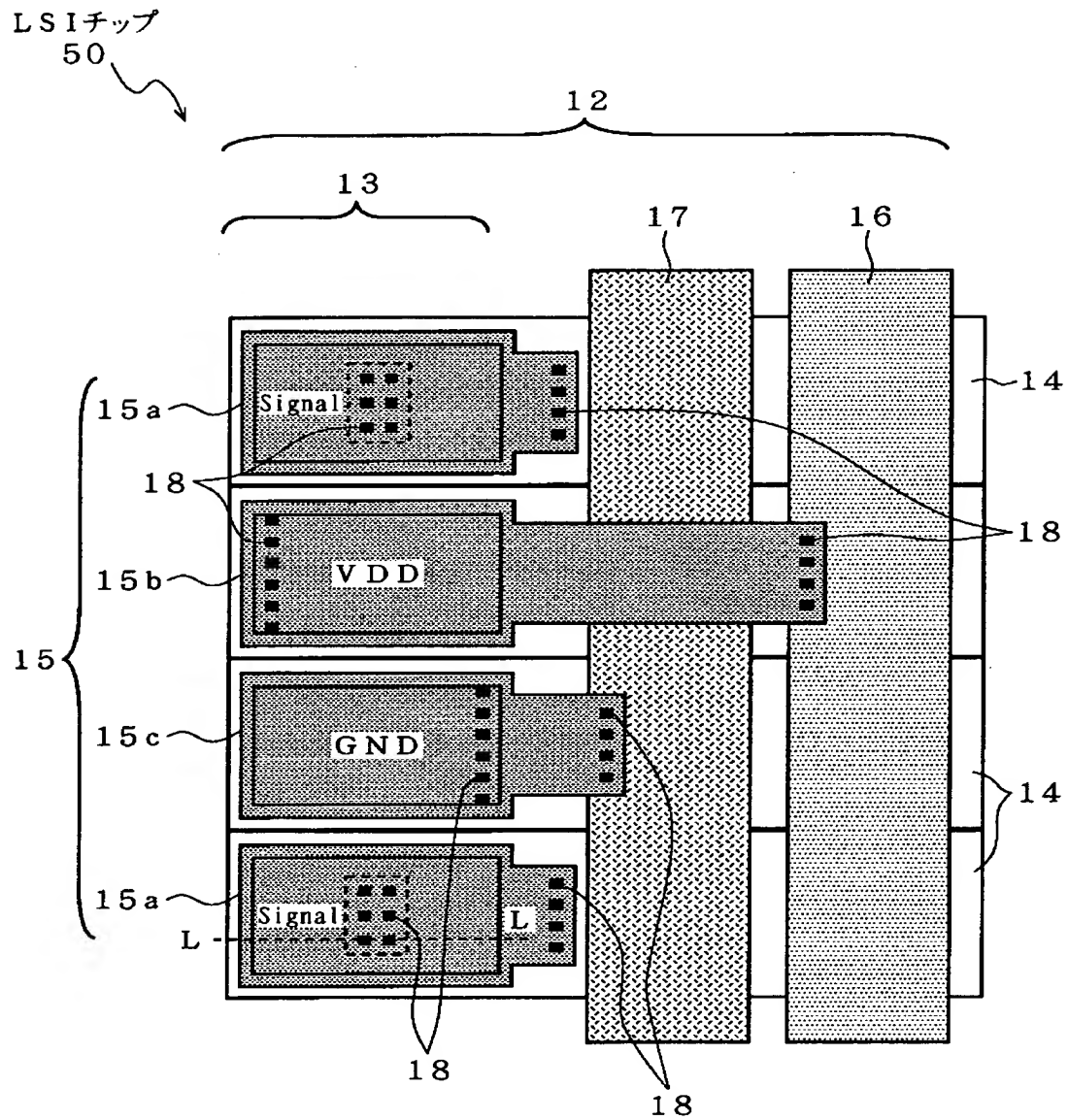


【図14】

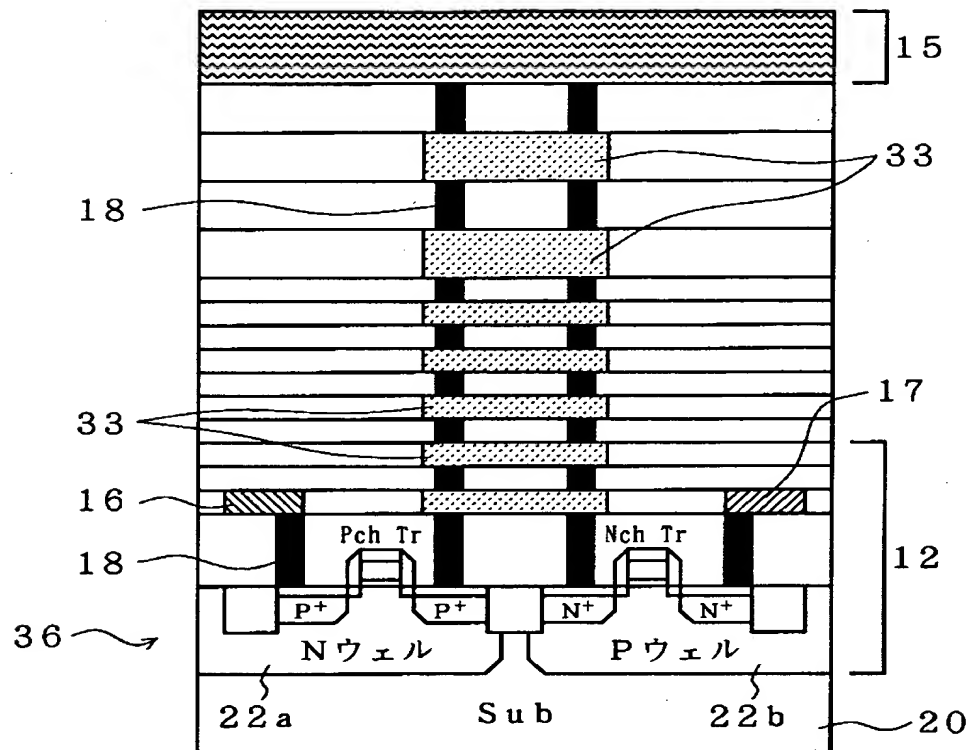




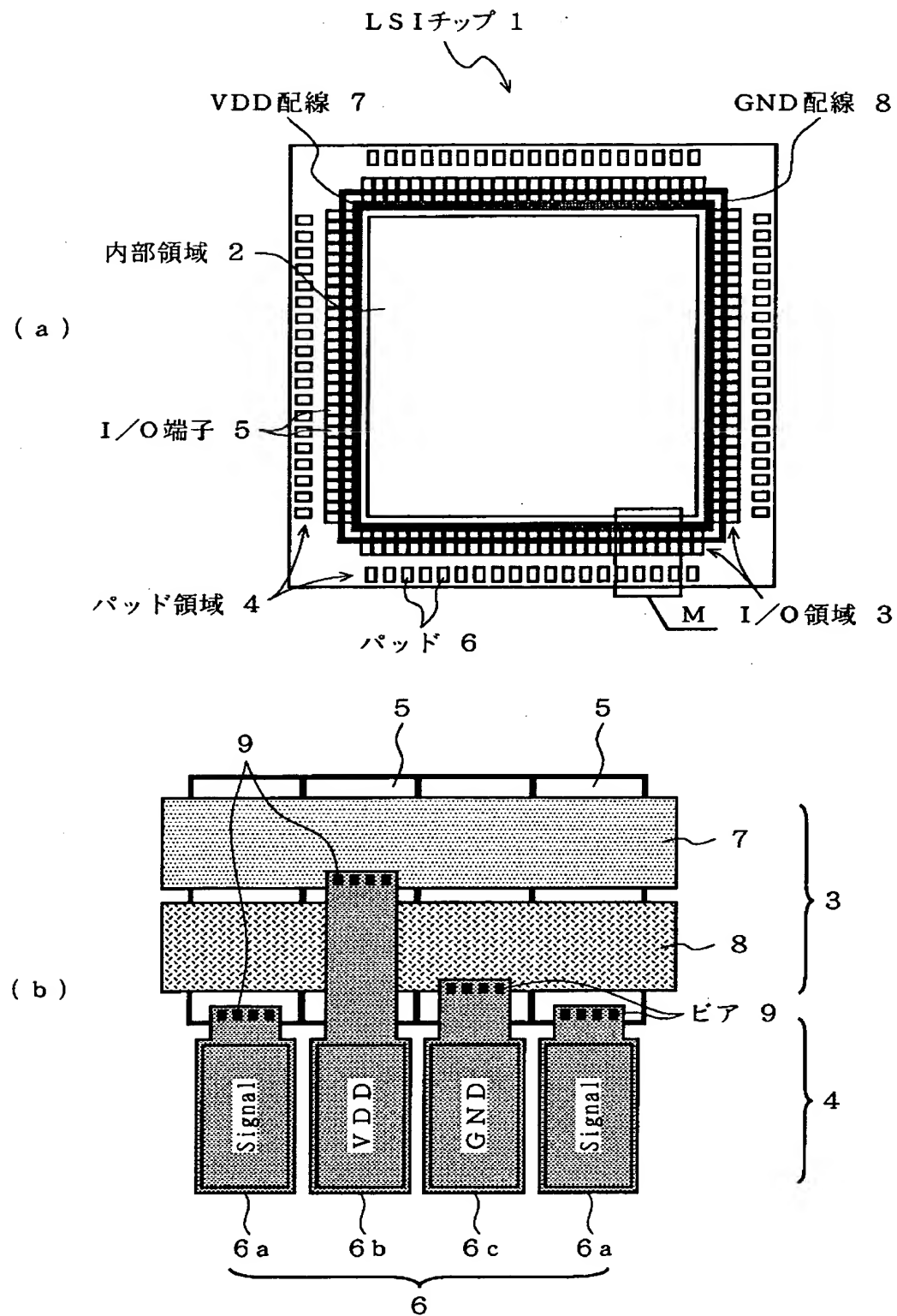
【图 15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 新たなスペースを割くことなく電源間容量を形成することで、パッドを増やすことなく電源線のノイズ耐性や高周波特性を向上させることができる半導体装置およびその製造方法を提供する。

【解決手段】 複数の配線層からなる多層配線構造を有し、表面中央部の内部領域 1 1 の周囲にパッド領域 1 3 が配置された半導体装置において、パッド領域 1 3 の下方に、電源間容量 1 9 や保護素子 3 1 や I / O 領域 1 2 を形成する入出力素子等の各種素子を形成した。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社